

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 :  
Application Number

특허출원 2000년 제 46222 호

출원 년 월 일 :  
Date of Application

2000년 08월 09일

출원 인 :  
Applicant(s)

엘지전자 주식회사

CERTIFIED COPY OF  
PRIORITY DOCUMENT



2001 년 04 월 07 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.08.09
【발명의 명칭】	플로팅 전극을 가지는 플라즈마 디스플레이 패널
【발명의 영문명칭】	Plasma Display Panel With Floating Electrode
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-1998-000275-8
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001250-8
【발명자】	
【성명의 국문표기】	신영교
【성명의 영문표기】	SHIN, Young Kyo
【주민등록번호】	720611-1017117
【우편번호】	133-021
【주소】	서울특별시 성동구 하왕십리1동 303-5
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김영호 (인)
【수수료】	
【기본출원료】	14 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	3 항 205,000 원
【합계】	234,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 오방전을 방지할 수 있도록 한 플로팅 전극을 가지는 플라즈마 디스플레이 패널에 관한 것이다.

본 발명의 플로팅 전극을 가지는 플라즈마 디스플레이 패널은 상부기판에 형성된 주사/서스테인전극 및 공통서스테인전극과, 주사/서스테인전극 및 공통서스테인전극 사이에 나란하게 형성된 제 1 및 제 2 트리거전극과, 주사/서스테인전극, 공통서스테인전극, 제 1 및 제 2 트리거전극을 덮도록 상부기판의 전면면에 도포된 유전체층과, 유전체층의 위에 형성된 적어도 2개 이상의 플로팅전극을 구비한다.

이러한 구조에 의하여, 본 발명의 플로팅 전극을 가지는 플라즈마 디스플레이 패널은 인접되는 방전셀과의 오방전을 최소화 할 수 있다.

**【대표도】**

도 5

**【명세서】****【발명의 명칭】**

플로팅 전극을 가지는 플라즈마 디스플레이 패널{Plasma Display Panel With Floating Electrode}

**【도면의 간단한 설명】**

도 1은 종래의 3전극 교류 면방전 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도.

도 2는 종래의 5전극 교류 면방전 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도.

도 3은 도 2에 도시된 5전극 교류 면방전 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 단면도.

도 4는 도 2에 도시된 5전극 교류 면방전 플라즈마 디스플레이 패널의 방전셀이 인접된 구조를 나타내는 단면도.

도 5는 본 발명의 실시예에 의한 교류 면방전 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 단면도.

도 6은 도 5에 도시된 본 발명의 실시예에 의한 교류 면방전 플라즈마 디스플레이 패널의 방전셀이 인접된 구조를 나타내는 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

10,30 : 상부기판      12Y,32Y,33Y,52Y : 주사/서스테인전극  
 12Z,32Z,33Z,52Z : 공통서스테인전극 14,22,36,44,58,70 : 유전체층  
 16,38 : 보호막      18,40 : 하부기판  
 20X,42X,64X : 어드레스전극      24,46,60,61 : 격벽  
 26,48,62 : 형광체층      34Y,34Z,54Y,54Z : 트리거전극  
 66,68,70,72 : 플로팅전극

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<14>      본 발명은 플로팅 전극이 삽입된 플라즈마 디스플레이 패널에 관한 것으로 특히, 오방전을 방지할 수 있도록 한 플로팅 전극을 가지는 플라즈마 디스플레이 패널에 관한 것이다.

<15>      플라즈마 디스플레이 패널(Plasma Display Panel : 이하 'PDP'라 함)은 가스방전에 의해 발생하는 진공 자외선이 형광체를 여기시킬 때 형광체로부터 가시광선이 발생하는 것을 이용한 표시장치이다. PDP는 지금까지 표시수단의 주종을 이루어왔던 음극선관(Cathode Ray Tube : CRT)에 비해 두께가 얇고 가벼우며, 고선명 대형화면의 구현이 가능하다는 점등의 장점이 있다. PDP는 매트릭스 형태로 배열된 다수의 방전셀들로 구성되며, 하나의 방전셀은 화면의 한 화소를 이루게 된다.

<16>      도 1은 종래의 3 전극 교류 면방전형 PDP의 방전셀 구조를 도시한 사시도이다.

<17> 도 1을 참조하면, 종래의 3 전극 교류 면방전형 PDP의 방전셀은 상부기판(10) 상에 형성되어진 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)과, 하부기판(18) 상에 형성되어진 어드레스 전극(20X)을 구비한다. 주사/서스테인전극(12Y)과 공통서스테인전극(12Z)이 나란하게 형성된 상부기판(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(20X)이 형성된 하부기판(18) 상에는 하부 유전체층(22), 격벽(24)이 형성되며, 하부 유전체층(22)과 격벽(24) 표면에는 형광체층(26)이 도포된다. 어드레스전극(20X)은 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(20X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체층(26)은 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상부기판(10)/하부기판(18)과 격벽(24) 사이에 마련된 방전공간에는 가스방전을 위한 불활성 가스가 주입된다.

<18> 이러한 교류 면방전형 PDP는 화상의 계조(Gray Level)를 표현하기 위하여 한 프레임의 방전횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 표현하는 서스테인 기간으로 나뉘어진다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 8개의 서브필드들로 나누어지게 된다. 아울러, 8개의 서브필드들 각각은 어드레스 기간과 서스테

인 기간으로 다시 나누어지게 된다. 여기서, 각 서브필드의 리셋기간 및 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인 기간은 각 서브필드에서  $2^n$  ( $n=0,1,2,3,4,5,6,7$ )의 비율로 증가된다. 이와 같이 각 서브필드에서 서스테인 기간이 달라지게 되므로 화상의 계조를 표현할 수 있게 된다.

<19> 여기서, 리셋기간에는 주사/서스테인전극(12Y)에 리셋 펄스가 공급되어 리셋 방전이 일어난다. 어드레스 기간에는 주사/서스테인전극(12Y)에 주사펄스가 공급됨과 아울러 어드레스전극(20X)에 데이터 펄스가 공급되어 두 전극(12Y, 20X) 간에 어드레스 방전이 일어난다. 어드레스 방전시에는 상/하부 유전체층(14, 22)에 벽전하가 형성된다. 서스테인 기간에는 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)에 교번적으로 공급되는 교류신호에 의해 두 전극(12Y, 12Z) 간에 서스테인 방전이 일어난다.

<20> 하지만, 이와 같은 종래의 교류 면방전 PDP는 서스테인 방전공간이 상부기관(10)의 중앙에 집중되어 방전공간의 활용도가 떨어진다. 이에 따라 방전면적이 축소되어 발광 효율이 저하되는 문제점이 있다. 이와 같은 문제점을 해결하기 위하여 도 2에 도시된 바와 같은 5 전극 교류 면방전형 PDP가 제안되었다.

<21> 도 2는 종래의 5 전극 교류 면방전형 PDP의 방전셀 구조를 도시한 사시도이다.

<22> 도 2를 참조하면, 종래의 5 전극 교류 면방전형 PDP는 방전셀의 중앙부에 위치하게끔 상부기관(30) 상에 형성된 제 1 및 제 2 트리거전극(34Y, 34Z)과, 방전셀의 가장자리에 위치하게끔 상부기관(30) 상에 형성된 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)과, 트리거전극(34Y, 34Z)들과 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)들과 직교되는 방향으로 하부기관(40)의 중앙부에 형성된 어드레스 전극(42X)을 구비한다. 주사/서스테인전극(32Y), 제 1 트리거전극(34Y), 제 2 트리거전극(34Z) 및 공통서스테인

전극(32Z)이 나란하게 형성된 상부기판(30)에는 상부 유전체층(36)과 보호막(38)이 적층된다. 어드레스전극(42X)이 형성된 하부기판(40) 상에는 하부 유전체층(44) 및 격벽(46)이 형성되며, 하부 유전체층(44)과 격벽(46) 표면에는 형광체층(48)이 도포된다. 방전셀 중앙부에 좁은 간격(Ni)으로 형성된 트리거 전극들(34Y, 34Z)은 서스테인 기간 중 교류펄스를 공급받아 서스테인 방전을 개시하기 위해 사용된다. 방전셀 가장자리에 넓은 간격(Wi)으로 형성된 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)은 서스테인 기간 중 교류펄스를 공급받아 트리거 전극들(34Y, 34Z) 간에 방전이 개시된 다음 플라즈마 방전을 유지시키기 위해 사용된다.

<23> 도 3 은 한 방전셀내의 모든 전극구조를 보여주기 위하여 하부기판에 대하여 상부기판을 90 ° 회전시켜 도시한다.

<24> 도 3을 참조하여 동작과정을 상세히 설명하면 다음과 같다.

<25> 종래의 5전극 교류 면방전형 PDP는 화상의 계조(Gray Level)를 표현하기 위하여 한 프레임을 방전횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 표현하는 서스테인 기간으로 나뉘어진다. 리셋 기간에는 방전셀의 제 2 트리거전극(34Z)에 리셋 펄스가 공급되어 방전셀 초기화를 위한 리셋 방전이 일어난다. 어드레스 기간에는 제 1 트리거전극(34Y)에 주사펄스를 순차적으로 공급함과 아울러 주사펄스에 동기된 데이터 펄스를 어드레스전극(42X)에 공급한다. 이때, 데이터가 공급된 방전셀에서는 어드레스 방전이 일어난다. 서스테인 기간에는 제 1 및 제 2 트리거전극(34Y, 34Z)과 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)에 서로 다른 레벨의 교류 펄스를 교번적으로 인가한다. 먼저, 제 1 및 제 2 트리거전극(34Y, 34Z) 사



이에 방전이 개시되면, 이때 발생된 하전입자들의 프라이밍(Priming) 효과에 의해 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)간의 2차 방전이 유도된다. 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z) 간의 간격(Wi)이 크더라도 제 1 및 제 2 트리거전극(34Y, 34Z) 간의 프라이밍 방전으로 인해 비교적 낮은 전압레벨의 서스테인 펄스로도 방전을 일으킬 수 있게 된다. 이러한 방법에 의해 좁은 간격(Ni)으로 형성된 트리거전극들(34Y, 34Z)을 이용하여 1차적으로 방전을 개시시킴으로써 방전 개시 전압의 상승을 억제하면서도 프라이밍 효과에 의해 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z) 간에 방전 경로가 긴 서스테인 방전을 일으킬 수 있다. 그리하여 자외선의 발생량을 증가시키고 아울러 발광 면적을 넓혀 발광효율을 향상시키게 된다.

<26> 이와 같이 동작하는 5전극 PDP에서, 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)의 사이에 트리거전극들(34Y, 34Z)을 형성하여 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)이 넓은간격(Wi)으로 형성된다. 따라서, 도 4와 같이 격벽(46)을 사이에 두고 서로 인접되게 형성되는 주사/서스테인전극(33Y) 및 공통서스테인전극(33Z) 간에 오방전이 발생할 염려가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<27> 따라서, 본 발명의 목적은 오방전을 방지할 수 있도록 한 플로팅 전극을 가지는 플라즈마 디스플레이 패널에 관한 것이다.

**【발명의 구성 및 작용】**

- <28>       상기 목적을 달성하기 위하여 본 발명의 플로팅 전극을 가지는 플라즈마 디스플레이 패널은 상부기판에 형성된 주사/서스테인전극 및 공통서스테인전극과, 주사/서스테인 전극 및 공통서스테인전극 사이에 나란하게 형성된 제 1 및 제 2 트리거전극과, 주사/서스테인전극, 공통서스테인전극, 제 1 및 제 2 트리거전극을 덮도록 상부기판의 전면에도포된 유전체층과, 유전체층의 위에 형성된 적어도 2개 이상의 플로팅전극을 구비한다.
- <29>       상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <30>       이하, 도 5 내지 도 6을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <31>       도 5는 한 방전셀내의 모든 전극구조를 보여주기 위하여 하부기판에 대하여 상부기판을 90 ° 회전시켜 도시한다.
- <32>       도 5는 본 발명의 실시예에 의한 PDP의 방전셀을 나타내는 도면이다.
- <33>       도 5를 참조하면, 본 발명의 실시예에 의한 PDP는 방전셀의 중앙부에 위치하게끔 상부 유전체층(58)에 형성된 제 1 및 제 2 트리거전극(54Y, 54Z)과, 방전셀의 가장자리에 위치하게끔 상부 유전체층(58)에 형성된 주사/서스테인전극(52Y) 및 공통서스테인전극(52Z)과, 주사/서스테인전극(52Y) 및 공통서스테인전극(52Z)의 아래쪽에 위치되고 상부 유전체층(58)의 상에 형성되는 제 1 및 제 2 플로팅전극(66, 68)과, 하부 유전체층(70)에 형성되는 어드레스전극(64X)과, 상부 유전체층(58)과 하부 유전체층(70) 사이에 소정높

이로 형성되는 격벽(60)과, 하부 유전체층(70)과 격벽(60)의 표면에 도포되는 형광체층(62)을 구비한다. 방전셀의 중앙부에 형성된 트리거전극들(54Y, 54Z)은 서스테인 기간 중 교류펄스를 공급받아 서스테인 방전을 개시하기 위해 사용된다. 방전셀의 가장자리에 형성된 주사/서스테인전극(52Y) 및 공통서스테인전극(52Z)은 서스테인 기간 중 교류펄스를 공급받아 트리거전극들(54Y, 54Z) 간에 방전이 개시된 다음 플라즈마 방전을 유지시키기 위해 사용된다. 어드레스전극(64X)은 어드레스 기간 중 데이터펄스를 공급받아 주사펄스를 공급받는 제 1 트리거전극(54Y)과 어드레스방전을 일으키기 위해 사용된다. 플로팅전극들(66, 68)은 주사/서스테인전극(52Y) 및 공통서스테인전극(52Z)의 폭보다 좁은 폭으로 형성된다. 이와 같은 플로팅전극들(66, 68)은 인접되는 방전셀과의 오방전을 방지한다.

<34> 이를 도 6을 참조하여 상세히 설명하면, 서스테인기간에 주사/서스테인전극(52Y) 및 공통서스테인전극(52Z)에 교번적으로 교류펄스가 공급된다. 만약, 주사/서스테인전극(52Y)에 교류펄스가 인가된다면, 주사/서스테인전극(52Y)의 아래에 형성되어 있는 플로팅전극(66)에는 주사/서스테인전극(52Y)에 인가되는 교류펄스의 절반정도의 전압이 유도된다. 따라서, 격벽(60)을 사이에 두고 인접되게 형성되어 있는 공통서스테인전극(52Z)과의 오방전을 방지할 수 있다. 또한, 공통서스테인전극(52Z)에 교류펄스가 인가된다면, 공통서스테인전극(52Z)의 아래에 형성되어 있는 플로팅전극(68)에는 공통서스테인전극(52Z)에 인가되는 교류펄스의 절반정도의 전압이 유도된다. 따라서, 격벽(61)을 사이에 두고 인접되게 형성되어 있는 주사/서스테인전극(53Y)과의 오방전을 방지할 수 있다.

**【발명의 효과】**

- <35> 상술한 바와 같이, 본 발명에 따른 플로팅 전극을 가지는 플라즈마 디스플레이 패널에 의하면 주사/서스테인전극 및 공통서스테인전극의 아래에 플로팅전극을 형성함으로써 인접되는 방전셀과의 오방전을 최소화 할 수 있다.
- <36> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

상부기판에 형성된 주사/서스테인전극 및 공통서스테인전극과,

상기 주사/서스테인전극 및 공통서스테인전극 사이에 나란하게 형성된 제 1 및 제 2 트리거전극과,

상기 주사/서스테인전극, 공통서스테인전극, 제 1 및 제 2 트리거전극을 덮도록 상부기판의 전면에 도포된 유전체층과,

상기 유전체층 위에 형성된 적어도 2개 이상의 플로팅전극을 구비하는 것을 특징으로 하는 플로팅 전극을 가지는 플라즈마 디스플레이 패널

**【청구항 2】**

제 1 항에 있어서,

상기 플로팅전극은 상기 주사/서스테인전극 및 공통서스테인전극의 아래쪽에 위치되는 것을 특징으로 하는 플로팅 전극을 가지는 플라즈마 디스플레이 패널

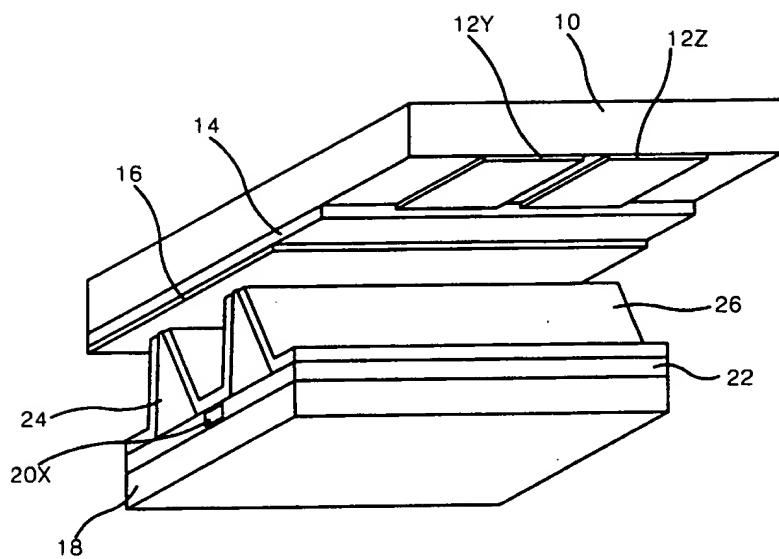
**【청구항 3】**

제 1 항에 있어서,

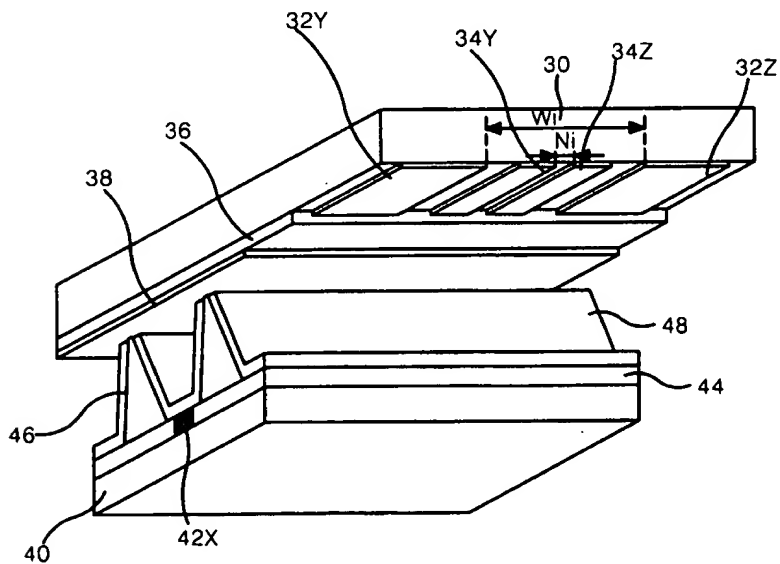
상기 플로팅전극은 상기 주사/서스테인전극 및 공통서스테인전극의 폭보다 좁은 폭으로 형성되는 것을 특징으로 하는 플로팅 전극을 가지는 플라즈마 디스플레이 패널.

【도면】

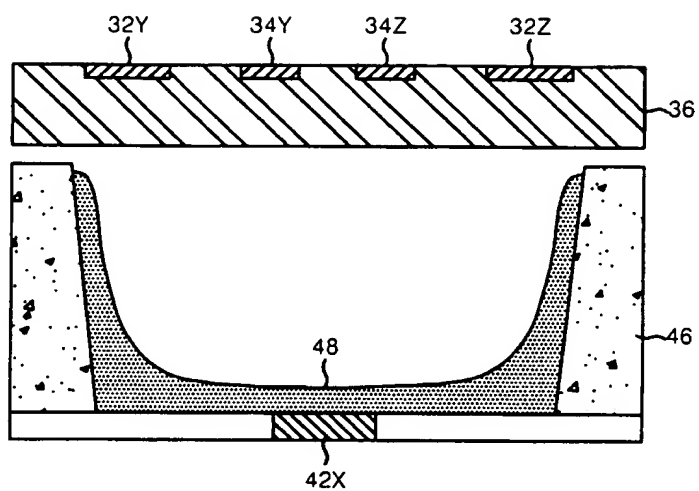
【도 1】



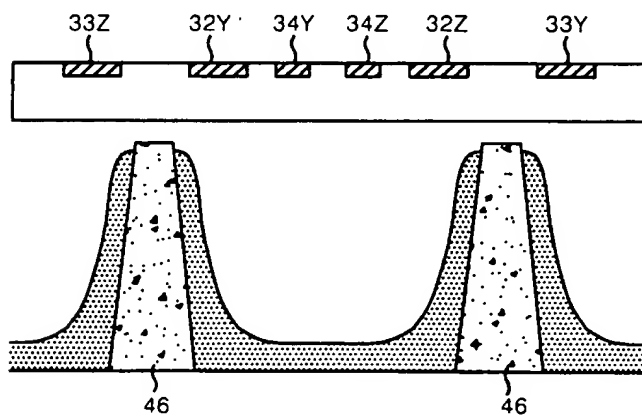
【도 2】



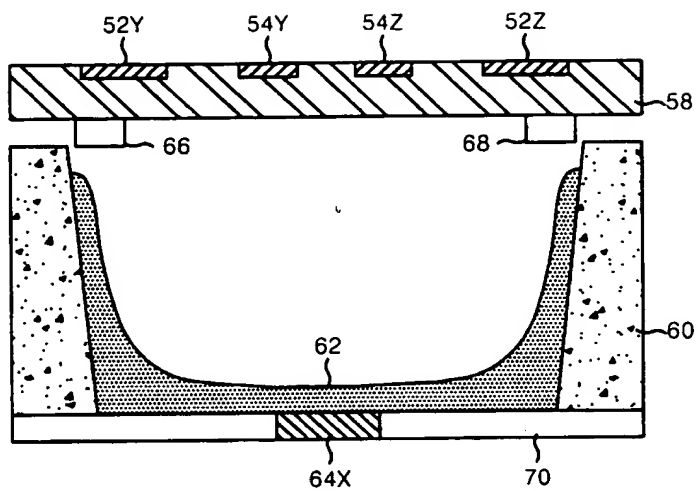
【도 3】



【도 4】



【도 5】



【도 6】

